

(18)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-29553

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl. ⁸	識別記号	片内整理番号	FI	技術表示箇所
H01L 29/788				
29/792				
G11C 16/02		6741-5L	H01L 29/78 371 G11C 17/00 907 D	
			審査請求 有 発明の数 1(全 13 頁) 最終頁に続く	

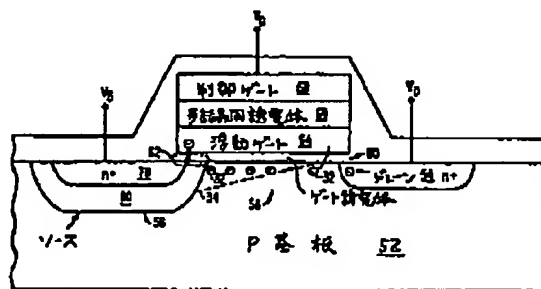
(21)出願番号 特願平5-53070
 (62)分割の表示 特願昭60-205510の分割
 (22)出願日 昭和60年(1985)9月19日
 (31)優先権主張番号 873, 946
 (82)優先日 1984年11月21日
 (33)優先権主張国 米国(US)

(71)出願人 693050105
 ローム・コーポレーション
 アメリカ合衆国カリフォルニア州サン・ホーゼ、カマース・ドライブ 2150
 (72)発明者 サッティエン・ムーカジー
 アメリカ合衆国カリフォルニア州サン・ホーゼ、ウィロウ・ストリート 877、ナンバー 212
 (72)発明者 トマス・チャン
 アメリカ合衆国カリフォルニア州サンタ・クララ、ボニタ・アベニュー 3474
 (74)代理人 弁理士 山崎 行造 (外2名)

(54)【発明の名称】 メモリー装置

(57)【要約】

小さな表面積を有し、実質的に低いプログラム電圧及び消去電圧で済むEEPROMセルを与えることを目的とする。複数の記憶サイトの各々が、複数消去線のうちの関連したものの一つに結合されたソースと、複数列アドレス線のうちの関連したもの一つに結合されたドレーンと、複数行アドレス線のうちの関連したもの一つに結合された制御ゲートと、ゲートとソース及びドレーンとの間に配置された浮動ゲートと、を含む単一トランジスタを構成し、さらに列アドレス線及び行アドレス線のうちの関連したものがその関連の消去線の電位より高い第一の既定電位に上昇されると、浮動ゲート上にホットエレクトロンを注入する装置と、関連の消去線が関連の行アドレス線より高い第二の既定電位に上昇されると、浮動ゲートからソースへ至る電子のファウラー・ノルドハイムトンネル効果を誘起する装置を含むメモリー装置である。



(2)

特開平6-29553

1

【特許請求の範囲】

【請求項1】 複数の記憶サイトと、複数の行アドレス線と、複数の列アドレス線と、複数の消去線とを有する電気的に消去可能なメモリー装置であって、前記複数の行アドレス線の一つと前記複数の列アドレス線の一つから成る各組合せが前記複数の記憶サイトを個々に限定し、さらに前記複数の記憶サイトの各々が、前記複数の消去線のうちの関連したもの一つに結合されたソースと、前記複数の列アドレス線のうちの関連したもの一つに結合されたドレーンと、前記複数の行アドレス線のうちの関連したもの一つに結合された制御ゲートと、該ゲートと前記ソース及びドレーンとの間に配置された浮動ゲートと、を含む単一トランジスタを構成し、さらに前記列アドレス線及び行アドレス線のうちの関連したものがその関連の前記消去線の電位より高い第一の既定電位に上昇されると、前記浮動ゲート上にホットエレクトロンを注入する装置と、前記関連の消去線が前記関連の行アドレス線より高い第二の既定電位に上昇されると、前記浮動ゲートから前記ソースへ至る電子のファウラー・ノルドハイムトンネル効果を誘起する装置とを含むメモリー装置。

【請求項2】 請求項1記載の装置において、前記注入装置が、前記ゲートと前記浮動ゲートとの間に配置された絶縁材第二層であって該ゲートと該浮動ゲートとの間に高い容量を与えるべく所定の膜厚と高い誘電率とを有する絶縁材第二層と、前記浮動ゲートと前記ソース及びドレーンとの間に配置された絶縁材第一層であって該浮動ゲートと該ソースとの間の容量結合を最適化すべくファウラー・ノルドハイムトンネル効果を生じさせる薄い厚さの絶縁材第一層とを有する装置。

【請求項3】 請求項2記載の装置において、前記第二層の誘電率が5より大である装置。

【請求項4】 請求項2記載の装置において、前記第一層の厚さが200オングストローム未満である装置。

【請求項5】 請求項3記載の装置において、前記第二層が五酸化タンタルを含む装置。

【請求項6】 請求項3記載の装置において、前記第二層が酸素組成の高い五酸化タンタルを含む装置。

【請求項7】 請求項4記載の装置において、前記第一層が窒化酸化物を含む装置。

【請求項8】 請求項3記載の装置において、前記第二層が五酸化タンタル層と熱酸化物層とを有するサンドイッチから成る装置。

【請求項9】 請求項8記載の装置において、前記五酸化タンタル層が約500オングストロームの厚さである

2

装置。

【請求項10】 請求項8記載の装置において、前記熱酸化物層が約150オングストロームの厚さである装置。

【請求項11】 請求項2記載の装置において、前記トンネル効果装置が、前記浮動ゲートから前記第一層を通過してトンネル通過した電子を受容すべく該浮動ゲートの下方に延びる部分を有するソース拡散部であって、ゲートに補助された接合部破壊電圧が増大するように滑らかな曲率を有するソース拡散部を含む装置。

【請求項12】 請求項11記載の装置において、前記ソース拡散部が、ヒ素及びリンの浅い拡散部と、リンの深い拡散部とを含む装置。

【請求項13】 請求項1記載の装置において、前記複数の記憶サイトが記憶サイトの行及び列を形成するアレーとして配置されており、さらに前記複数の記憶サイトの各々に関連した前記消去線が共通に接続され、列内の前記記憶サイトのそれぞれに対する前記列アドレス線が共通に接続され、行内の前記記憶サイトのそれぞれに対する前記行アドレス線が共通に接続されている装置。

【請求項14】 請求項13記載の装置において、前記各列にある前記記憶サイト内のトランジスタが、該列内のいずれのトランジスタのソースもその同一列内の隣接トランジスタのソースに接続されると共にそのトランジスタのドレーンがその同一列内の隣接する別のトランジスタのドレーンに接続されるように、配置されている装置。

【請求項15】 請求項2記載の装置において、前記絶縁材第二層が五酸化タンタルと熱酸化物とのサンドイッチを含み、前記絶縁材第一層が窒化酸化物を含み、前記制御ゲートと前記浮動ゲートとがそれぞれ多結晶シリコンを含む装置。

【請求項16】 請求項1記載の装置において、前記複数の記憶サイトが、行及び列のサイトを形成するアレーとして配列されており、その場合各列サイト内の前記記憶サイトの各々に対する列アドレス線が共通に接続されており、かつ行状の前記記憶サイトの各々に対する行アドレス線が共通に接続されており、さらに各行の記憶サイトがバイト単位に配列されており、さらに記憶サイトの該バイトが列状のバイトに配列されており、又、バイトの特定の列内の各記憶サイトに関連した消去線が共通に接続されており、その結果、バイト列が一時に消去できるようにされた装置。

【請求項17】 請求項1記載の装置において、前記複数の記憶サイトが行及び列のサイトを形成するアレーとして配置されており、その場合各行の記憶サイトがバイト単位に配置され、行状の前記記憶サイトの各々に対する行アドレス線が共通に接続され、かつ列状の前記記憶

(3)

特開平6-29553

3

サイトの各々に対する列アドレス線が共通に接続されており、さらに記憶サイトの該バイトが列状のバイトに配列されており、複数の別異列選択線が各列状バイトに関連されており、さらに各々が特定のバイトに関連され、かつ該特定のバイトに関連された行アドレス線に結合されて、前記特定バイトを選択する為の複数の装置が含まれており、

前記特定のバイトが存在する列に関連された前記列選択線に対して該選択装置の各々が応答し、さらに該選択装置が関連するバイトであって同一列内の隣接バイト内の記憶サイトの前記消去線に結合されているバイト内の記憶サイトへの消去線に該選択装置の各々が結合されており、その結果、消去すべきバイトの存在する列への前記列選択線を第一の電位に上昇させ、該列と関連したすべての前記列アドレス線を浮動にし、かつ該列内の関連隣接バイトへの前記行アドレス線を前記第一電位より低い第二の電位に上昇させることによって、単一のバイトが一時に消去できるようにされた装置。

【発明の詳細な説明】

【0001】本発明は電気的にプログラム化し得る、かつ消去しうるメモリー装置に関する。この電気的にプログラム化しうる記憶装置は通常、電気的消去式読取り専用メモリ (Electrically Erasable Programmable Read Only Memory, EEPROM) と呼ばれる型式のものである。さらに特定すると、本発明は高密度記憶装置への使用に適した単一トランジスタ EEPROM セルの構造のメモリー装置に関する。

【0002】EEPROM 装置及びその製造法は当該技術分野で公知である。一般に EPROM 又は EEPROM は浮動ゲート (floating gate) 及び制御ゲート (control gate) と呼ばれる電気接続子により特徴づけられ、これらゲートは共に多結晶シリコンを適当なドーパ材料でドーパ入れして多結晶を導電化させることにより作成される。代表的なドーパ材料はリンである。

【0003】浮動ゲートは、絶縁材であるゲート酸化層により基板から隔離される。この基板領域はチャンネルを確定する対称なソース領域とドレイン領域を含む。

【0004】浮動ゲート及び制御ゲートは絶縁材料、例えば代表的な二酸化シリコン (SiO_2) の層により隔離されている。EPROM 又は EEPROM 装置が作動する原理は、電子又は電荷が容量的に「浮動ゲート」中に蓄えられることにある。従って浮動ゲートと制御ゲートとの間の誘電体層が重要である。

【0005】先行技術 (例えば米国特許第4,203,158号) 及び W. S. ジョンソン他著「ISCCTダイジェスト・オブ・テクニカルペーパー」152乃至153頁 (1980年2月号) を参照) では、浮動ゲートは低圧化学的蒸着チャンバ内 SiH_4 を反応させて形成され、次に別のドーピング工程にて POCl_3 をドーパ入れされる。

4

【0006】二酸化シリコン層が次にシリコン多結晶層上に析出され、もしくは熱的に成長される。この二酸化シリコン層は代表的な場合約750オングストロームである。一般に、良好な多結晶間特性 (interpoly quality) 及び破壊容量 (breakdown capability) を達成するには高い酸化温度 (1050℃以上) 及び多量のリンドーピングが必要とされる。しかしながら多量にドーパ入れされた多結晶シリコンの高温における酸化はいくつかの欠点、たとえば (1) ウエーハ上への自動ドーピング (autodoping) を起こさせる、多結晶酸化の際の脱気 (outgassing) (2) 浮動ゲートからトンネル酸化物へのリン拡散が酸化により強調される結果、リンがこの酸化物中にトラッピングセンターを形成すること、を伴う。この電子トラッピングは10⁴ サイクルにてしきい値ウィンドー EEPROM セルを崩壊させる。(R. B. アルカス他著「ジャーナル・オブ・エレクトロケミカル・サイエンス」誌1282頁、1982年6月号、K. サラスワット他著「コンピュータ・エイディッド・デザイン・オブ・インテグレートッドサーキット・ファブリケーションプロセス・フォー VLSI デバイス」244乃至290頁、1981年7月刊参照) したがって現在の装置はプログラム操作及び消去操作に低い反復性を示すのである。

【0007】最後に、ドーパ入れされた多結晶シリコンの第二層が SiO_2 の絶縁層の頂部に形成される。

【0008】二酸化シリコンの絶縁層は750オングストローム程度なので、代表的な書き込み又は消去電圧すなわち浮動ゲートに電荷を荷電し又は放電させるに必要な電圧は高かった。即ち20ボルトを超えていた。さらにこのことがゲート酸化物の厚さ、接合部の深さ、ダイサイズに収縮限界 (shrinkage limits) を与えていた。

【0009】窒化シリコン (Si_3N_4) もまた、浮動ゲートと制御ゲート接続子との間の二重誘電体 (熱的酸化物とその上に窒化シリコンを載せたもの) である絶縁材として使用されてきた。窒化シリコンは二酸化シリコンより高密度である結果、浮動ゲートと制御ゲートとの間により高い容量性結合を与える。浮動ゲートと制御ゲート間の代表的二重誘電体は500オングストローム酸化物と400オングストローム窒化物で構成される。しかし、絶縁層として窒化シリコンを使用した場合でも書き込み及び消去電圧は依然比較的高く、18ボルトを超える。在来の EEPROM 装置に対する高い消去及びプログラム電圧が関心の的である。このような高電圧の必要性が、装置作動時における別の高電圧源を必要とするに至り、あるいは必要なプログラム及び消去レベルまで供給電圧を昇圧するための特別な電圧増倍回路を装置内に設けることが必要となった。

【0010】別の欠点は、現在の EEPROM 構造はメモリーアレー内で使用される場合は個々の記憶セルを相互に分離するための別の制御回路を必要とすることであ

(4)

特開平6-29553

5

る。このことは装置の幾何学的形状を増大させる。たとえば各EEPROMセルに対する制御トランジスタの必要条件が指定されたとすると、在来EEPROMセルに必要な等価空間は165平方ミクロンである。

【0011】在来EEPROM装置に関するこれらの問題及び他の問題は、本発明によって克服される。本発明の電気的に消去可能なプログラム式記憶装置は、ソースとドレインを有する単結晶半導体材料の本体と、本体上に配置された絶縁材の第一層と、絶縁材第一層上に配置された浮動ゲートと、浮動ゲート上に配置された絶縁材第二層と、絶縁材第二層上のゲートとを含み、このソースはリン等の第一の材料の深い領域と、ヒ素の第二の材料とリンとの浅い領域とから形成され、このドレインはこの第二材料の浅い領域で形成され、さらにリンのみの深い領域部の一部分が絶縁材第一層の下方に延び、かつこの第一材料は、接合部のゲートとの密なり合いを最適化すべく選択される結果、浮動ゲートとソースとの間の容量結合を制御できる。

【0012】本発明の別の局面では、絶縁材の第一層は第二層に対してもっと薄く、第一層の絶縁材は実質上トラップに関与しない。

【0013】本発明の別の局面によれば絶縁材の第二層は高い誘電率を有するように選択される。この条件は酸素組成の高い五酸化タンタルと熱酸化物のサンドイッチにより充足することができる。

【0014】上記構造をもつたEEPROMセルはあたかもそれがEPROMであるごとくにプログラムし得、かつEEPROMと同様に消去可能である。この装置をプログラム化するためには、この装置のドレイン及びゲートがソース電位（ポテンシャル）より上の予定ポテンシャルに昇圧される。セルを放電、すなわち消去するためには、ドレインが浮動され、ソースがゲートポテンシャルより高いポテンシャルに上昇される。

【0015】本発明のこの装置の上記プログラム特性及び消去特性のため、このような装置一つでメモリーセルが形成できる。選択トランジスタ（select transistor）を必要としない。さらに第一及び第二層の絶縁材を選択すること、及びソースもしくはドレイン領域を対称形状とすることにより、プログラム電圧が低くてよいことに加えて著しくセル寸法が小さくて済む。

【0016】さらに反応性スパッタリングを行い、かつスパッタリングガスとしてアルゴンと酸素を使用することにより熱酸化層の上に五酸化タンタルの層を成長させることが絶縁材第二層としての高品質五酸化タンタルを与える、ということが見出されている。

【0017】さらに乾燥した酸素中850℃にて第一層の絶縁材として窒化酸化物を成長させ、次にその絶縁材をアンモニアもしくはアルゴン雰囲気中で1050℃にて焼鈍することにより、実質上トラップのない層が与えられることが判明している。

6

【0018】さらに、浮動ゲートを正しい位置にドーピングすることにより、絶縁材第二層が上載せ成長される著しく滑らかな表面を得ることができる。

【0019】それ故、本発明の目的は、それ自体が完全なメモリーセルとして使用しうるEEPROMトランジスタを与えることである。

【0020】本発明の別の目的はEEPROM装置における同様にプログラムでき、かつEEPROM装置のように消去できる、メモリ装置を与えることである。

【0021】本発明のさらに別の目的は小さな表面積を有するEEPROMトランジスタを与えることである。

【0022】本発明のさらに別の目的は先行技術に比して実質的に低いプログラム電圧及び消去電圧で済むEEPROMセルを与えることである。

【0023】本発明に関するこれらの目的及び他の目的、特徴、利点は本発明の好ましい実施例に関する下記の詳細な説明と添付の図面から了解されよう。

【0024】ここで図1を参照すると、代表的なEEPROMトランジスタ装置の断面が示されている。ソース(10)とドレイン(12)は基板(14)上に形成されている。ソース(10)とドレイン(12)は基板(14)中にチャンネル(16)を確定する。チャンネル(16)の上方にはゲート誘電体層(18)を形成する絶縁材の層がある。半導体材料の浮動ゲート(20)はゲート誘電体層(18)の上方に形成される。最後に、絶縁材(22)の第二層の上方に、半導体材料の層が形成されて制御ゲート(24)となる。フィールド酸化物(26)はトランジスタ構造を周囲装置から隔離させる。

【0025】ドレイン(12)、ゲート(24)、及びソース(10)のそれぞれに電圧を印加するため、電気接続子(27, 28, 30)が与えられる。

【0026】代表的なEEPROMのプログラミングはドレイン(12)のポテンシャルを8乃至12ボルトに上げ、ソース(10)を接地ポテンシャルに保ち、約13乃至21ボルトの振幅で約1乃至10ミリ秒の周期のバースを制御ゲート(24)に印加することにより達成される。

【0027】これらの条件の結果、チャンネル(16)内に伝導領域が設定され、ここを電子(32)が加速されて行く。この伝導領域は図1の破線(34)により示される。ドレイン(12)、ソース(10)、及びゲート(24)に印加される電圧の大きさ及び極性は、この伝導領域(34)がドレイン(12)の隣接領域内で「ピンチオフ」となるようにする。このことにより電子(32)がポテンシャル的に十分に高くされ、その結果「熱く」なり、これらのホットエレクトロン（熱い電子）は衝突電離化によってさらに電子空孔対を創成する。この条件では、これら電子はゲート誘電体(18)の絶縁性を克服しうるエネルギーレベルまで上昇される。これら熱い電子はしたがって、ゲート誘電体(18)のポテンシャル障壁を「飛び越える」ことができる。その後、制御ゲート(24)により発生される電場のため、これら電子は浮動ゲート(20)に吸引されて、そこに蓄積

(5)

特開平6-29553

7

される。

【0028】EPROM構造の顕著な欠点はEPROMが紫外光の照射によって消去されなければならないことである。EPROMセルがアレー中にあるときは、これらセルは実質的にすべてが一掃に消去される。したがって、アレー中に記憶されたプログラムを変更しようとするとき、その変更が小さなものであっても、アレー全体が消去されることになり、再びプログラム全体をアレーに入れなければならない。

【0029】図2を参照すると、EEPROM構造が示されている。この構造はEPROMと比較するとプログラミング及び消去に異なった構造を利用する。EPROMと同様、EEPROM構造はドレーン(36)、ソース(38)、ゲート酸化物層(43)により基板から離隔された浮動ゲート(42)、及び別の酸化物層(45)により浮動ゲート(42)から離隔されたゲート(40)を有する。これらはすべて析出され又は熱的に成長される。しかしEEPROM構造はこれがドレーン(36)と浮動ゲート(42)との間に薄いトンネル誘電体(46)を与える点でEPROM構造と異なる。図2から判るように、トンネル誘電体(46)の上方に配置された浮動ゲート(42)の一部はドレーン(36)上に配置される。さらにトンネル誘電体(46)と整合される、ゲート部分(40)もまたドレーン(36)上に配置される。この構造体のプログラミング及び消去はゲート線(48)とドレーン線(50)の間に電位差を誘起させることにより達成される。その電位差は20ボルトの程度である。この薄い誘電体領域はゲートとドレーン間の高電圧に結合されると「ファウラー・ノルドハイムトンネル効果」と呼ばれる現象を可能にする。プログラムを入れるためには、すなわち浮動ゲートに電子を配するためには、ドレーンは接地ポテンシャルに維持され、ゲートには約20ボルトポテンシャルで約10ミリ秒間、パルスが加えられる。消去すなわち浮動ゲート(42)から電子を除去するためには、ゲートは接地ポテンシャルに保持される一方、ドレーン(36)には約20ボルトのポテンシャルで約10秒間、パルスが加えられる。これら消去及びプログラムの過程中、ソース(38)は浮動することが許される。これらの条件のもとで電子は浮動ゲート(42)へ、又は浮動ゲート(42)から、トンネル効果を起こす。

【0030】上記のEEPROM構造によれば、EEPROMセルを個別にプログラムし、又は消去することができる。代表的な場合、アレー中のすべてのセルが同一の論理値にプログラムされ、その後、各個セルがアレー中に最終論理値を配すべく選択的に消去される。しかし、前述したように、この典型的EEPROMの欠点として、(1)セルのプログラム又は消去に高い電圧が必要なこと、(2)EEPROMセルがアレー中で使用されるときは各セルを独立させるために各EEPROMセル毎に選択トランジスタが必要なこと、がある。

【0031】ここで図3、図4、及び図5を参照して本

8

発明の構造を説明する。本発明の構造は非対称のドレーン又はソース接合、均一な薄いゲート誘電体、及び制御ゲートと浮動ゲートとの間の高誘電率誘電体を有することを特徴とする。これらの特徴の結果、EPROMと類似の方法でプログラム可能であり、かつEEPROMと同様な方法で消去可能であり、しかもこれらを低電圧で行うことができ、EPROMと同じ物理的大きさであり、アレー中で使用するときも選択トランジスタが不要である、EEPROM装置が得られる。

【0032】図4は本発明の好ましい実施例の断面図を示す。基板(52)はその中に形成された比較的浅いドレーン領域(54)と深いソース領域(56)とを有する。ソース(56)とドレーン(54)との間にチャンネル(58)が確定される。絶縁材第一層であるゲート誘電体(60)は、チャンネル(58)の上方に形成され、ドレーン(54)まで延びてソース(56)の部分(62)と重畳する。この層は全断面にわたり比較的均一の厚さを有することに注目されたい。

【0033】半導体材料の第一層である浮動ゲート(64)はゲート誘電体の上方に形成される。絶縁材第二層である誘電体の第二層(66)が浮動ゲート(64)の上方に形成される。最後に半導体材料の第二層である制御ゲート(68)が絶縁材第二層(66)の上方に形成される。

【0034】図3は本発明のいろいろな構成要素の物理的配置の上面図を示す。この図からわかるように、制御ゲート(68)及び浮動ゲート(64)は相互に上下関係に、かつチャンネル(58)の上方に配置される。ソース拡散部(source diffusion)(56)は浮動ゲート(64)の下に延びる。

【0035】図5は図3の装置の線3c-3cに沿う断面図である。図4及び図5からわかるように、本発明の構造は典型的なEEPROMよりも顕著に対称的であるが、典型的なEPROM構造よりも非対称的である。さらに特定すると、本発明の装置はゲート誘電体、浮動ゲート、ゲート間誘電体、及び在来のEEPROMのトンネル用誘電体に関連した制御ゲートに著しいくぼみ(dip)がない。さらに本発明の非対称的ソース又はドレーン形状は在来のEPROMの対称的なソース又はドレーン接合部と顕著に異なる。

【0036】作動上、本発明のEEPROMセルのプログラミングはドレーン(54)及び制御ゲート(68)をソース(56)のポテンシャルより高い既定のポテンシャルに昇圧することにより達成される。本発明の好ましい実施例ではドレーン(54)は4乃至6ボルトの間に昇圧されるが、ゲートは約0.5乃至5ミリ秒の間、約10乃至12ボルトの振幅にてパルスをかけられる。これらの条件のもとで、「熱い」電子が発生され、ゲート誘電体(60)を通して加速され、浮動ゲート(64)に至る。本発明の好ましい実施例では、このことにより浮動ゲートのしきい値が約3.5乃至5.5ボルト増大する。したがって本発明におけるプログラミングは典型的EPROMの場合と同

(6)

特開平6-29553

9

様である。

【0037】他方、本発明のEEPROMセルの消去はドレーン(54)を浮動させ、制御ゲート(68)を接地ポテンシャルに保持し、ソースに高電圧パルスを加することにより達成される。本発明の好ましい実施例では、このパルスは10乃至13ボルトの振幅と0.5乃至5ミリの持続性を有する。これらの条件のもとで、ファウラー・ノルドハイムトンネル効果が浮動ゲート(64)と、浮動ゲート(64)下方に延びるソース拡散部(56)の部分(62)との間で発生する。この消去操作はセルのしきい値電圧を1ボルト程度まで減少させる。

【0038】上記のプログラミング及び消去機構の混成により、部分的に、本発明のメモリーセルのアレー(配列)中の各メモリーセルに対して選択トランジスタが別個に必要ではなくなった。

【0039】このセルの論理状態はEPROMセルに関連しているものと同様に決定される。ソース(56)は接地ポテンシャルに保持され、ゲートは3乃至5ボルトのポテンシャルに保持され、ドレーンは1乃至2ボルトに保持される。これらの条件の下で、消去済みのセルは25乃至50マイクロアンペアの電流レベルにて伝導する。他方、プログラム済みセルは伝導しない。

【0040】上記のことから、本発明による改良された性能がEPROMプログラミング機構及びEEPROM消去機構を採用することのみならず、非対称的なソース又はドレーン接続子、卓越した捕捉(trapping)特性を有する薄いゲート誘電体(60)及び高い誘電率の浮動ゲート(64)と制御ゲート(68)との間の誘電体層を具備することによっても達成されるのであることを了解されたい。また、これらの特徴がある一方で、これらの各特徴自体によりまたはその結果として、本発明の性能が高められ、これら特徴が結合して従来のEEPROM構造よりはるかに優れた改良がなされることに注目されたい。

【0041】図6を参照すると、制御ゲート、浮動ゲート、ソースチャンネル及びドレーン間の容量結合を示す等価回路が図示されている。この容量結合はプログラム演算もしくは消去演算の期間中、浮動ゲート(64)に記憶され、又はゲート(64)から抽出されることとなる電子の量を決定する重要な役割を果たす。制御ゲート(68)と浮動ゲート(64)との間の容量結合が容量(70)により表示されている。浮動ゲート(64)とドレーン(54)との間の容量結合は、容量(72)により表わされている。浮動ゲート(64)とチャンネル(58)との間の容量結合は容量(74)により表わされている。最後に浮動ゲート(64)とソース(56)との間の容量結合は容量(76)により表わされている。

【0042】基板(52)に対する浮動ゲート(64)への電圧 V_{FG} は、次式

$$V_{FG} = V_C (C_{70} / (C_{70} + C_{72} + C_{74} + C_{76}))$$

により決定されることがわかる。ここで V_C は制御ゲートに印加される電圧である。

10

【0043】浮動ゲート(64)にかかる電圧が高い程、浮動ゲートに蓄えられる電子の量は大きい。そして、浮動ゲートに蓄えられる電子が多い程、本装置のしきい値が高くなる。

【0044】本発明の構造は数通りの方法で浮動ゲートにかかる電圧を最大にする。誘電体(66)に関して言えば、高い誘電率、即ち5以上、を有する材料を選択することにより、浮動ゲートに結合される電圧を増大できる。本発明の好ましい実施例では五酸化タンタルを使用できる。五酸化タンタルは約21なる誘電率を有する。誘電率7の窒化シリコンも使用することができる。このことにより物理的な大きさが小さなもので高い容量を得ることができる。容量(70)の値が大きい程、浮動ゲート(64)にかかる電圧に対する容量(72)、(74)、(76)の負担が小さくなる。本発明における代表的なセル寸法は5ミクロン四方であり、リソグラフィ技術の改良によってはさらに小さくできる。

【0045】五酸化タンタルの保有特性(retention characteristic)は、誘電体層(66)が五酸化タンタルと熱酸化物とのサンドイッチで形成されると増大することができる。好ましくはこの五酸化タンタル層は約500オングストロームの厚さであり、熱酸化物層は約150オングストロームの厚さである。さらに少々酸化物を増加させた五酸化タンタル材料はデータ保有性が良好になることが見出されている。熱酸化物層は、五酸化タンタルが単独で 사용되는場合に通常許されるよりも高い温度サイクルが製造工程で使用できることが見出されている。さらに熱酸化物層は五酸化タンタルを通して流れる漏れ電流を低減する。

【0046】ゲート誘電体(60)の選択は本装置の性能を高める別の手段である。図4からわかるように、浮動ゲート(64)とソース(56)との間の図6における容量(76)はゲート誘電体(60)とソース(56)との間の重量部分の(62)面積、ゲート誘電率、及びゲート誘電体の厚さの関数である。本発明の好ましい実施例では、ゲート誘電体(60)は100乃至200オングストロームの範囲の厚さを有する。好ましくはこのゲート誘電体は窒化酸化物で形成され、重量領域(62)は小さく、好ましくは0.3乃至0.4マイクロメートルにされる。

【0047】これらのパラメータの選択に影響する因子は多数存在する。その一つはプログラム済み状態と消去済み状態間のセル回復可能性である。この回復可能性は部分的にはゲート誘電体(60)のトラッピング特性と、ゲート誘電体(60)を通る電流密度とにより決定される。電流密度が高い程、回復可能性は小さくなる。本発明の方法によれば、ゲート誘電体層(60)がトラッピング効果を比較的受けにくいようにできるようにするには窒化酸化物が層(60)に対する好ましい材料である。又、窒化酸化物がリンの移動に対する良好な障壁であり、したがって浮動ゲート(64)の一体性を保存することが見出されてい

(7)

特開平6-29553

11

る。

【0048】ゲート誘電体層(60)内の電流密度は層(60)の面積及び厚さの関数である。浮動ゲート(64)とソース(56)との間の容量はゲート誘電体層(60)の厚さに比例し、ゲート誘電体層(60)を通る電流密度はこの厚さに逆比例する。容量(76)の値はソース(56)の重量部分(62)に比例する。

【0049】ゲート誘電体層(60)の厚さと重量部分(62)の大きさは、したがって層(60)を通る電流密度を最適化し、かつソース(56)と浮動ゲート(64)間の容量結合を最適化すべく選択される。ゲート誘電体層の厚さに対する別の制限はファウラー・ノルドハイムトンネル効果が薄い誘電体層を要求することである。したがって本発明の好ましい実施例ではゲート誘電体は好ましくは酸化酸化物で形成され、100乃至200オングストロームの厚さを有している。さらに、ソース(56)の重量部分(62)は約0.3乃至0.4ミクロンである。上記の構造を持たせると10⁶程度の反復可能性が得られる。

【0050】上に概略したように、本発明はまた非対称のソース又はドレーン接合部を有する。本発明の好ましい実施例ではソース(56)は浅い拡散領域(78)及び深い拡散領域(80)で形成される。深い拡散領域(80)は浮動ゲートの下に約0.2ミクロンで延び、浅い拡散領域(78)は浮動ゲートの下に約0.1ミクロンで延び、0.3乃至0.4ミクロンの重量領域(62)を形成する。本発明の好ましい実施例では、ドレーン拡散領域(54)は第二材料としてピ素で形成され、浮動ゲートの下に約0.1ミクロンで延び、浅いソース拡散領域(78)はヒ素と第一材料としてのリンで形成され、深い拡散領域(80)はリンで形成される。

【0051】リンを用いた深い拡散領域が本発明の好ましい実施例で使用される理由は、その速い拡散性能が、必要な重量部分(62)を形成できる一方で滑らかな曲率の深い拡散部分(80)を与えることができるからである。この滑らかな曲率はソース接合の破壊電圧を大いに増大させる。このことはソース(56)で特に重要である。その理由は、ゲート誘電体(60)の厚さが小さく、ソースが本発明による消去演算期間中に出会う電圧が高いからである。

【0052】本発明の方法によれば、本発明のセルの好ましい実施例はCMOS処理に適合できる。初め材料は〔100〕方向と36乃至63オームcmの抵抗率を有するP型材料である。これは図4におけるP基板(52)としうる。N型ウエル内に密度4.0×10¹²/cm²の90 KeVのP³¹が打込まれる。この打込み(implantation)は950℃で45分間、湿式酸化(wet oxidation)によりウエル中で行われ、それに続けて1150℃で窒素N₂雰囲気中で拡散が行われる。

【0053】その後、厚さ500オングストロームのパッド酸化物(pad oxide)がO₂雰囲気中で1000℃

12

にて形成される。その後、シリコン酸化物が析出される。次に能動領域(active region)が確定されて厚さ150オングストロームのスクリーン酸化が行われる。次にフィールド領域が確定され、このフィールドが50 KeVにて4×10¹³/cm²の照射率でBF₃を打込まれる。

【0054】次にO₂雰囲気内で40分間、1000℃でフィールド酸化物が形成された後、920℃にて85分間、N₂雰囲気内に置かれる。次にH₂とO₂内で920℃に6時間置かれて6500オングストロームの厚さにされる。次にセル領域が確定され、その後40 KeV、照射率5×10¹²/cm²でB¹¹が打込まれる。上記の製造工程は在来のものである。

【0055】この段階ではドレーン及びソース領域がまだ形成されていないがすでに確定されており、チャンネル部分も確定されており、従ってセルの能動領域が確定できる。次の段階では厚さ100オングストローム乃至200オングストロームのセル酸化物層が850℃にて成長される。このセル酸化物層はゲート誘電体(60)を表わす。トラッピング効果を比較的に受けない層を与えるために、酸化物は乾燥した酸素雰囲気中で成長される。その後、アンモニア(NH₃)及びアルゴン(Ar)の雰囲気中で1050℃にて10分間、酸化物層上に熱窒素化が行われる。この高温すなわち1050℃が層から水H₂Oを除去する一方、アンモニア又はアルゴン雰囲気から材料からすべてのOHラジカル基を除去する。結果として比較的にトラップのないオキシ酸化物層が得られる。

【0056】次の段階で、浮動ゲート(64)がゲート誘電体(60)の上に析出される。このことは多結晶シリコンが浮動ゲートとして析出されるときに多結晶シリコンの正しい位置におけるドーピングを必要とする。これを果すため、SiH₄及びPH₃が化学的蒸着により結合されてSi(リンのドーピングされたもの)が形成される。多結晶に正しい位置のドーピングを行うことによって、高温の製造段を付加することが避けられる。このことは多結晶シリコンの粒度(grain size)を最小化する上に重要である。多結晶の粒度が小さい程、滑らかな多結晶表面が得られ、その結果、信頼性の高い薄膜の酸化物が多結晶表面上に成長できることが見出されている。

【0057】次の段階は制御ゲート(68)と浮動ゲート(64)の間に誘電体層(66)を形成することである。本発明の好ましい実施例では、この誘電体層は薄い熱酸化物層と比較的に厚い五酸化タンタル層を含む。この熱酸化物層は初め1040℃で成長される。その次にアルゴンと酸素のスパッタリング気体を用いて超純粋なタンタルをスパッタリングにかけ、本発明の好ましい実施例ではアルゴン対酸素の比は4:1である。好ましくはスパッタリング気体の酸素組成は少なくとも25%である。また、その結果得られる五酸化タンタル析出物Ta₂O₅は、

(6)

特開平6-29553

13

その組成が約 $Ta_2O_5 \cdot 25$ 乃至 $Ta_2O_5 \cdot 5$ となるように、やや酸素組成が多いことが好ましい。この五酸化タンタルとシリコン酸化物のサンドイッチの結果、制御ゲート(68)と浮動ゲート(64)の間の漏れ電流が低減され、結合比が高められる。浮動ゲート及び基板間の消去又はプログラム演算時の電圧は、したがって増大される。

【0058】その後、五酸化タンタル、熱酸化物、及び多結晶層(20)は図5に示す方向に浮動ゲート(64)を確定すべくエッチングに付される。

【0059】本発明のセルの代表的製造工程では、周辺の回路例えば感知トランジスタ、アドレス復号回路等、もまた同一チップ上に与えられる。したがってそのような他の周辺装置が存在する場合は、これら装置を形成するための次の段階がある。しかし、周辺装置が存在しないときは、製造工程における次の段階は制御ゲート層の析出となる。

【0060】前者の状況の場合、即ち周辺装置が同一チップ上に形成される場合、これら周辺装置用のゲート誘電体は約300オングストロームの厚さに、かつ温度約1000℃にて、形成される。その後、二段階のホウ素打込みが酸化物層上に行われる。このことによりやや深いホウ素密度領域が発生してソースとドレインのパンチスルー現象(punch-through problems)の発生が低減する。最初のホウ素打込みは50KeVで行われ、第二の打込みは100KeVで行われ、「二山」形の打込みプロファイルを形成する。

【0061】その後、制御ゲート(68)が好ましくは多結晶シリコンで形成される。この層は周辺装置に対する在来制御ゲートとなる。この層は次に在来方法でドーブ入れされる。

【0062】上記諸段に続いて制御ゲート領域の確定とエッチングが行われる。

【0063】その後、ソースとドレインの領域がマスクをかけられて約0.2乃至0.3マイクロメートルの深さまでヒ素を打込まれる。次にドレイン領域がマスクをはずされ、EEPROMセルのソース領域中にリンの高電圧打込みが行われる。薄いリンの拡散特性が、浮動ゲート(64)とソース(56)の間の重量部分(62)が得られると共にソース接続子における高破壊電圧に必要な滑らかな曲率が得られるための機構を与える、ということが見出されている。

【0064】上の段階に続けてP-チャンネル周辺装置用のソース及びドレイン領域の打込みが行われる。その後、390℃にて厚さ1ミクロンのBPSG析出がなされ、次に水蒸気酸化雰囲気中で20分間、900℃にて、このガラスの緻密化(densification)を行う。最後に50KeVにて照射率 $3 \times 1.015/cm^2$ のリンでN+プラグ打込み(N+ plug implantation)が行われ、接触領域におけるスパイクを低減させる。

14

【0065】上記段に続いて、在来の損傷除去、金属化、及びパシベーション(passivation)が行われる。

【0066】上記の装置構造及び製造法によって高密度例えば1メガビットの密度、のEEPROMメモリの製造が可能となる。図8を参照すると、そのような密度を与えアレーが例示されている。このメモリーセルアレーは破線(82)で囲まれたもので、他方メモリーアレーの一つのセルは破線(84)で囲まれている。本装置上の周辺回路は在来の行アドレス復号回路(86)、列アドレス復号回路(88)、感知増幅回路(90)、出力バッファ回路(92)及び入力バッファ回路(94)を含む。これら在来の回路は製造段を述べた前記の文節で述べた周辺装置に対応する。

【0067】図7は代表的な先行技術のEEPROMメモリーセルで、破線(96)で囲まれた部分がそれである。先行技術のEEPROM装置にはプログラミング及び消去用の電圧条件があるため、選択トランジスタ(98)がEEPROMトランジスタ(100)に関連して必要である。この選択トランジスタは特定のメモリーセルが作動中であるときに他のメモリーセルからEEPROMセルを独立させる役割を果す。それ故、先行技術のEEPROMメモリーセルは二つのトランジスタと約165平方ミクロンの表面積を必要とする。

【0068】これとは対照的に、本発明のEEPROMセルではそのプログラミング及び消去の必要条件の特徴のため、本発明によるメモリーセルは25平方ミクロンのみの面積が必要で、しかも選択トランジスタは全く不要である。従って図8に示すアレー構造体が使用できる。

【0069】ここで隣接のトランジスタは方向が逆転していることが了解できよう。従ってアレーの左上隅ではセル(84)はそのソースが次の列のトランジスタ(102)のソースに接続されている。トランジスタ(84)のドレインは同一列のトランジスタ(104)のドレインに接続されている。トランジスタ(104)及びトランジスタ(84)に対するドレインは列アドレス復号回路(88)からの線(106)に接続される。線(106)はトランジスタ(84)、(104)により共用される列のトランジスタの他のすべてのドレイン接合部に接続される。トランジスタ(84)のゲートは行アドレス復号回路(86)から来る線(108)に接続される。線(108)はトランジスタ(84)、(102)と同一の行内のすべてのトランジスタのゲートに接続される。

【0070】メモリーセルの各々に対するこれらソース線の共通接続が図示されている。アレー(82)の相互接続形状のため、共通ソース接続を使用しながらも、個別的なセルプログラミングをし、かつセルすべての消去を行うことができる。たとえば、セル(84)をプログラムしたいとき、列アドレス復号回路(88)からの線(106)に、行アドレス復号回路(86)からの線(108)と共に、高電圧をかける。同時に共通ソース線(110)が接地ポテンシャルに維持される。他の列の他のセルにおけるドレイン線は

(9)

特開平6-29553

15

接地されているので、かつセル(84)と同じ行の他のすべてのセルに対するゲート線が接地されているので、他のメモリーセルの内容に影響はない。

【0071】同様にして消去モードが所望される場合は、共通線(110)が高ポテンシャルレベルに上昇されると共に対応のゲート線(108)が接地ポテンシャルに保持される。図8からわかるように、各行のメモリーセルのソース端子が共通接続されているため、これらの行すべての全セルが消去される。もっと少数の行部分が任意時に選択的に消去しようとするときは、列間に選択的間隔にて独立化トランジスタを付加すればよい。

【0072】アレー内のバイト消去はセルのバイト毎に余分の選択トランジスタを付加することにより達成される。これは図10に図示されている。

【0073】バイト(1)を消去するには線(WL2)を高ポテンシャルとし、その対応のバイトに対するソース線たとえば線(126)を高ポテンシャルにする。他のワード線はすべて低ポテンシャルに保持される。すべてのビット線(列)、(例えば128)、は浮動したまま保たれる。これらの条件のもとで、バイト(1)のセルはソース側10に高ポテンシャルを、ゲート側に低ポテンシャルを見る。このことによってセルは消去され、低いV_T状態となる。バイト(2)はそのゲートもソースも共に高ポテンシャルにあり、かつドレーンが浮動しているので、乱されない。

【0074】本発明の好ましい実施例では、選択されなかったWL2線のバイト内データが乱されないで残ることを確実ならしめるため、未選択のソース線すべてが中間レベル例えば5ボルトに保持される。ソース又はドレーンの接合部自体の非対称構造及び本発明のプログラミング形状は、未選択ソース線を中間レベルまで上昇しない場合でも、線(WL2)が関与する未選択バイトに起こる不慮の変異に対して保護を与える。

【0075】上記のことは次の理由により真であると信ぜられる。線(WL2)につながれたバイトの場合について言えるように、ゲートが高でソースがもっと低いポテンシャルにあるとき、チャンネル(58)は伝導状態である。したがって浮動ゲートから見た容量はチャンネル全体にまたがる容量例えば図6の容量(72)、(74)、(76)に等価である。これは大容量成分であり、したがって非常に低い容量結合比、例えば0.1乃至0.2を与える。このような事情なので、ファウラー・ノルドハイムトンネル効果は発生せず、浮動ゲート上の電荷には何の変化も生じない。それとは対照的に、バイト(1)の装置に起こるように、ソースが高ポテンシャルでゲートが接地されていると、チャンネル(58)は非伝導状態である。重畳領域(62)のみが伝導状態である。したがって浮動ゲートは、はるかに小さな容量例えば図6の唯一の容量(76)、を見ることとなり、したがって容量結合比は、はるかに高い値、例えば0.8乃至0.9となる。高い結合比の

16

もとではファウラー・ノルドハイムトンネル効果が発生する。

【0076】バイトの列を消去する為の容量は図8の構造を設計変更して得られる。そのためには、バイトの各列毎に別のソース線を設ければよい。したがって図8ではこのことは、行アドレス線すなわちワード線を点(130)にて開放し、かつ別のソース線(破線132)を付加することにより与えられることが図示されている。この形状ではこれらバイト列全体を消去の対象に選択できる。

【0077】図9を参照すると図8のアレー構造(82)の物理的配置が部分的に示されている。破線(112)及び(114)はそれぞれ単一のメモリーセルを示す。平行線で示した領域(116)は金属化層を被覆すが、これは図では鉛直方向に延び、セルのドレーン接合部を相互接続すべく各セルを横断する。一点破線で確定される領域(118)はフィールド独立化酸化層と能動もしくは拡散領域との間の境界を確定する。直線及び周期的に変化する線で確定される領域(120)は共通の行のメモリーセルにまたがって延びる制御ゲート層を確定する。特定のメモリーセル、例えば(112)、内の斜線領域(122)は制御ゲート層、誘電体材料(66)の第二層、浮動ゲート(64)、及びゲート誘電体(60)を被覆す。最後に、各メモリーセルに対するドレーン接続子が長方形(124)により被覆されているのが見られる。領域(124)は各列の隣接メモリーセルのドレーンを接続することに注目されたい。上記方法で、小型で高密度のEEPROMメモリーアレーが得られる。

【0078】最後に図11及び図12を参照すると、本発明のEEPROMセルのプログラミング及び消去に対する実験的結果が示されている。図11は本発明の消去特性を示す。この図から判るように、鉛直軸線はセルのしきい値電圧を表わし、水平軸線はセルのソース端子に印加されたパルスの大きさを示す。このように約12ボルトの振幅のパルスの場合、0乃至1ボルトの程度のしきい値電圧が得られることが了解される。

【0079】図12を参照すると、セルのプログラミング特性が示されている。鉛直軸線はセルのしきい値電圧を示し、水平軸線はドレーン電圧を示す。密に並んだ点々は12ボルトのゲート印加パルス振幅を示す。粗に並んだ点々は11ボルトのゲートパルス振幅を示す。最後に、実線は10ボルトのゲートパルス振幅を示す。図から、10乃至12ボルトのゲートパルスを使用するとき5乃至7ボルト程度のドレーン電圧が3ボルトを超えるしきい値電圧レベルを生ずることがわかる。

【0080】明らかに、これらの図に示されるプログラミング特性及び消去特性は現在入手可能なEEPROMメモリーセルの特性よりはるかに優れている。

【0081】ここに使用した用語及び表現は説明のために使用したのであって、限定のためではない。またそそ

(10)

特開平6-29553

17

これらの用語や表現の使用により、例示し又は説明した特徴等と等価のものを排除する意図はなく、特許請求の範囲内で種々の設計変更が可能であることを了解されたい。

【図面の簡単な説明】

【図1】 在来のEPROM装置の断面図である。

【図2】 在来のEEPROM装置の断面図である。

【図3】 本発明の上面図である。

【図4】 図3の3b-3b線に沿ってとった本発明の断面図である。

【図5】 図3の3c-3c線に沿ってとった本発明の断面図である。

【図6】 本発明の装置の等価容量回路を示す図である。

【図7】 メモリアレー内に接続された在来のEEPROMセルの簡単な略線図である。

【図8】 ブロック消去方式の特徴をもった、メモリアレー内に接続された本発明のEEPROMトランジスタの簡単な略線図である。

18

* 【図9】 本発明に基づいて構成されたメモリーセルのアーレーの形状の上面図である。

【図10】 バイト消去方式の特徴をもったメモリアレー中に接続されている本発明のEEPROMトランジスタの簡単な略線図である。

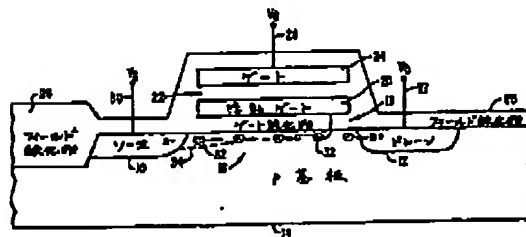
【図11】 本発明の装置の消去状態及びその特性を示す図である。

【図12】 本発明に基づいて構成された装置の代表的プログラミング特性及びその状態を示す図である。

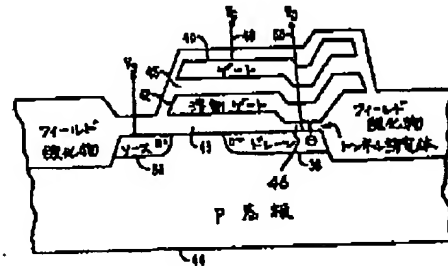
10 【符号の説明】

- 52 基板
- 54 ドレイン領域
- 56 ソース
- 58 チャンネル
- 60 ゲート誘電体
- 64 浮動ゲート
- 66 絶縁材第二層
- 68 制御ゲート

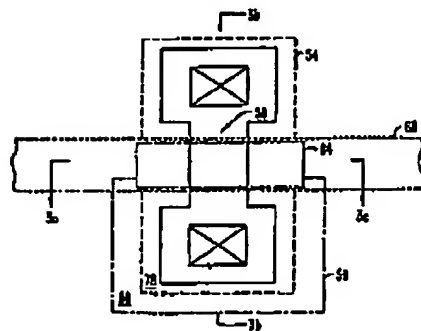
【図1】



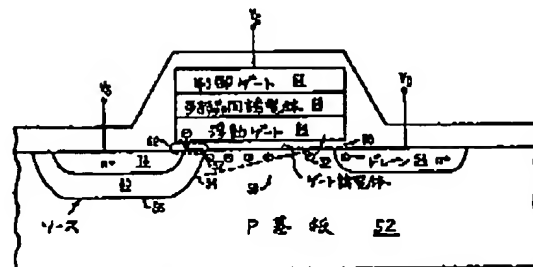
【図2】



【図3】



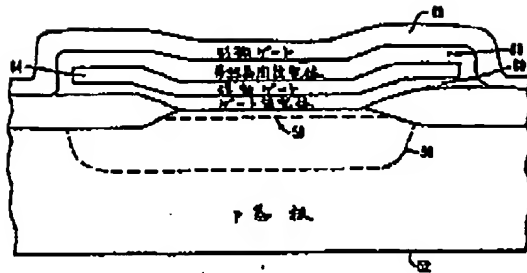
【図4】



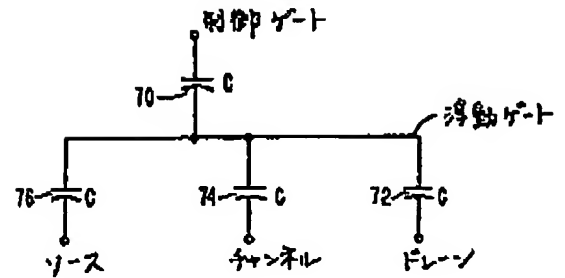
(11)

特開平6-29553

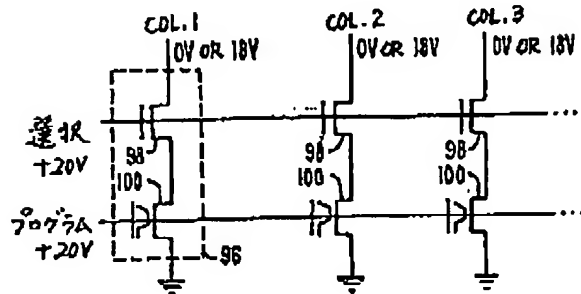
【図5】



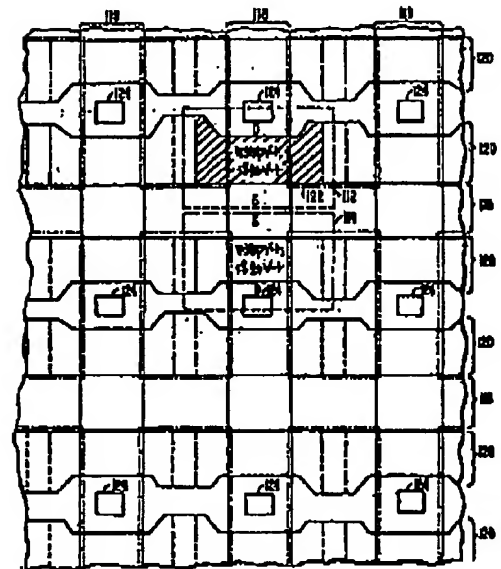
【図6】



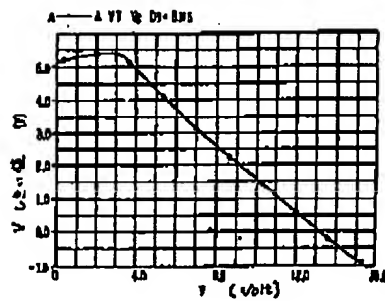
【図7】



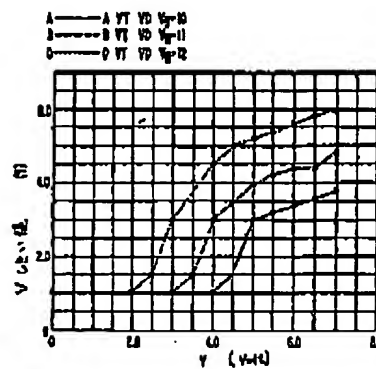
【図9】



【図11】



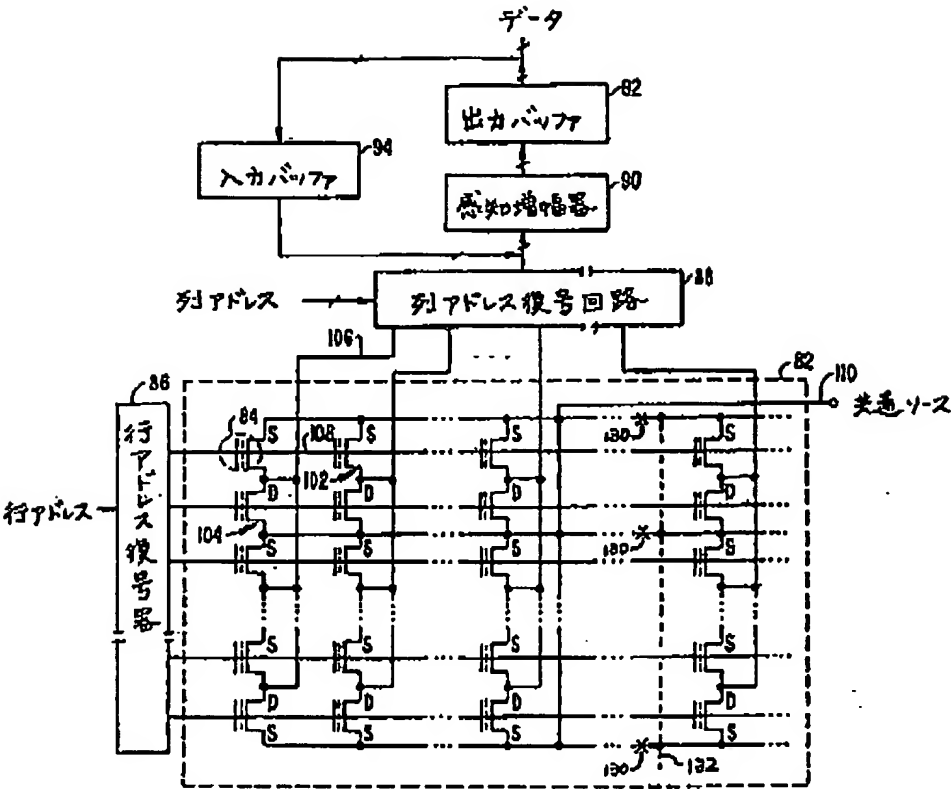
【図12】



(12)

特開平6-29553

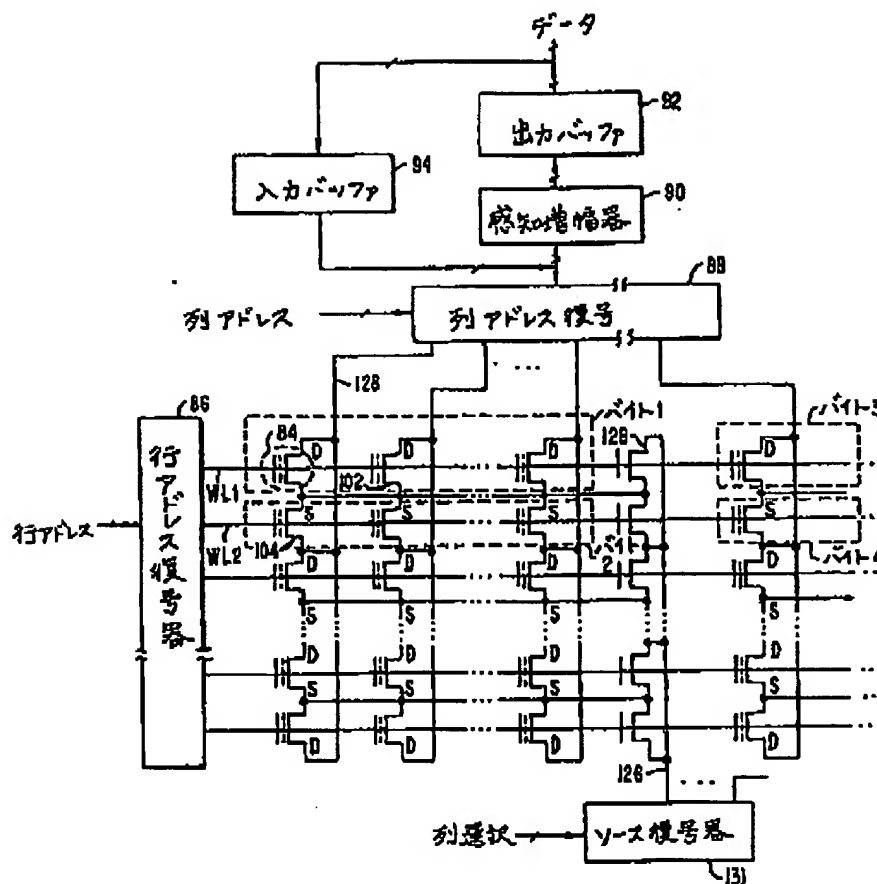
【図8】



(13)

特開平6-29553

【図10】



フロントページの続き

(51) Int. Cl. 5

G 1 1 C 16/04

H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/10

4 3 4